

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re U.S. Patent Application of)
TANAKA et al.)
Application Number: To be Assigned)
Filed: Concurrently Herewith)
For: AVALANCHE PHOTO-DIODE)
ATTORNEY DOCKET NO. ASAM.0098)

Honorable Assistant Commissioner
for Patents
Washington, D.C. 20231

**REQUEST FOR PRIORITY
UNDER 35 U.S.C. § 119
AND THE INTERNATIONAL CONVENTION**

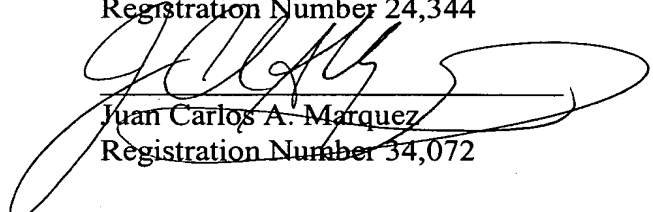
Sir:

In the matter of the above-captioned application for a United States patent, notice is hereby given that the Applicant claims the priority date of July 9, 2003, the filing date of the corresponding Japanese patent application 2003-194005.

A certified copy of Japanese patent application 2003-194005, is being submitted herewith. Acknowledgment of receipt of the certified copy is respectfully requested in due course.

Respectfully submitted,

Stanley P. Fisher
Registration Number 24,344



Juan Carlos A. Marquez
Registration Number 34,072

REED SMITH LLP
3110 Fairview Park Drive
Suite 1400
Falls Church, Virginia 22042
(703) 641-4200
January 26, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 7 月 9 日
Date of Application:

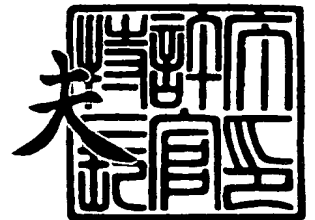
出 願 番 号 特 願 2 0 0 3 - 1 9 4 0 0 5
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 1 9 4 0 0 5]

出 願 人
Applicant(s): 株式会社日立製作所
 日本オプネクスト株式会社

2 0 0 3 年 1 2 月 1 6 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 1 0 4 2 4 6

【書類名】 特許願

【整理番号】 H03007621A

【あて先】 特許庁長官 殿

【国際特許分類】 H01S 03/00

【発明者】

 【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所中央研究所内

 【氏名】 田中 慈久

【発明者】

 【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所中央研究所内

 【氏名】 藤崎 寿美子

【発明者】

 【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所中央研究所内

 【氏名】 松岡 康信

【特許出願人】

 【識別番号】 000005108

 【氏名又は名称】 株式会社日立製作所

【特許出願人】

 【識別番号】 301005371

 【氏名又は名称】 日本オプネクスト株式会社

【代理人】

 【識別番号】 100075096

 【弁理士】

 【氏名又は名称】 作田 康夫

 【電話番号】 03-3212-1111

【手数料の表示】

【予納台帳番号】 013088

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 アバランシェホトダイオード

【特許請求の範囲】

【請求項 1】

光を吸収してキャリアを発生する光吸収層と、発生したキャリアを増倍する増倍層を有し、該増倍層が Si から成り、該光吸収層が化合物半導体から成り、該増倍層と該光吸収層の間に該光吸収層よりも大きな禁制帯幅を持つ半導体界面層が形成されていることを特徴とするアバランシェホトダイオード。

【請求項 2】

該光吸収層が InGaAs 混晶または InGaAlAs 混晶または InGaAsP 混晶からなり、該半導体界面層が InGaAlAs 混晶または InGaAsP 混晶からなることを特徴とする請求項 1 記載のアバランシェホトダイオード。

【請求項 3】

該光吸収層が InGaAs 混晶または InGaAlAs 混晶または InGaAsP 混晶からなり、該半導体界面層が InP または GaAs からなることを特徴とする請求項 1 記載のアバランシェホトダイオード。

【請求項 4】

該光吸収層が Sb を含む半導体からなることを特徴とする請求項 1 記載のアバランシェホトダイオード。

【請求項 5】

該増倍層と該半導体界面層の接続が融着によって形成されていることを特徴とする請求項 1 から 4 のいずれかーに記載のアバランシェホトダイオード。

【請求項 6】

請求項 1 から 5 のいずれかーに記載のアバランシェホトダイオードを搭載した光モジュール。

【請求項 7】

請求項 1 から 5 のいずれかーに記載のアバランシェホトダイオードまたは請求項 6 に記載の光モジュールを搭載した光受信器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はアバランシェホトダイオードに関し、特に広帯域でかつ増幅率の大きな高速・高感度な光通信用のアバランシェホトダイオードに関する。

【0002】

【従来の技術】

アバランシェホトダイオードは光信号を増幅する機能を内蔵する受光素子であり、感度が良く高速に動作させることができるため、光通信用受光素子として広く用いられている。アバランシェホトダイオードの増幅機能は半導体の雪崩（アバランシェ）降伏現象を利用して達成される。アバランシェ降伏において増幅が発生する原理を簡単に説明すると次のようになる。

【0003】

半導体内を移動する電子あるいは正孔は結晶格子に衝突して散乱される。半導体に大きな電界を印加すると、半導体内のキャリアは電界によって加速され移動速度が大きくなる。半導体内のキャリアの移動速度が大きくなり、その運動エネルギーが禁制帯幅より大きくなると、結晶格子に衝突したときに格子の結合手を切る確率が高くなり、自由に移動できる電子・正孔対を新たに生成する。結合手を切られた原子は電荷が不足しイオン化したように見えるため、この現象は衝突電離あるいは衝突イオン化と呼ばれ、電子または正孔が単位距離進んだときに衝突電離によってどれほどの電子・正孔対が発生したかをイオン化率という。また、電子によるイオン化率と正孔によるイオン化率の比をイオン化率比と呼ぶ。

【0004】

この衝突イオン化によって新たに生じたキャリア（電子または正孔）も、電界によって加速され運動エネルギーを得、さらに衝突イオン化によって新たなキャリアを生成する。このように衝突電離が繰り返し生じると、急速にキャリアの数が増し大きな電流が流れることになる。これが雪崩降伏である。雪崩降伏が生じる寸前の電界を印加しておいた半導体に少数でもキャリアの注入が生じると、衝突イオン化により多数のキャリアが生成されるため電流が一気に増加する。すなわち、少数のキャリアでも大きな電流を得ることができる。これが雪崩降伏にお

いて増幅が発生する原理である。アバランシェホトダイオードは、この現象を起こすために引き金となるキャリアの注入に、光吸収によって生じたホットキャリアを利用する。

【0005】

よく知られているように、アバランシェホトダイオードの高速応答性の点で重要となるのはイオン化率比であり、1より大きければ大きいほど、または1より小さければ小さいほどアバランシェホトダイオードの性能は良くなる。逆に、イオン化率比が1に近いと高速での増幅率が劣り、性能の良いアバランシェホトダイオードは得られない。高速の光通信には赤外線領域の光が用いられるため、素子作製にはこれまで主にInPやInGaAsといった化合物半導体が用いられてきた。ところが、光通信に用いられる代表的な化合物半導体であるInPのイオン化率比はおよそ0.5と比較的1に近い値である。InAlAsでもせいぜい4から5である。このため、応用可能な周波数はせいぜい10GHz程度であり、40GHz以上の高速素子では満足な性能が得られない。

【0006】

これに対しSiのイオン化率比は10から100以上と極めて大きな値をもち、高速・高感度のアバランシェホトダイオードを作製できる。ところが、Siは光通信に用いられる赤外線領域の光を吸収できないため、これまで普通は光通信に用いることができなかった。

【0007】

Siを用いたアバランシェホトダイオードのこのような欠点を克服するため、これまで赤外線領域に感度をもつ化合物半導体とSiとを組み合わせる試みが為されてきた。たとえば、Si上に化合物半導体をエピタキシャル成長させる試みが数十年前から行われている。しかしながら、いまだに満足できる品質をもつ結晶が得られておらず、実用化に至っていない。

このようなSi上の化合物半導体の品質上の欠点を軽減する方法として、例えば、米国特許US 6384462 B1があり、その趣旨を図2で説明する。該特許では、図2のように、化合物半導体基板21上に結晶成長したInGaAs層22に直接Si増倍層23を融着により接合させ、アバランシェホトダイオードを形成する。さらに、イオン打

ち込みと拡散技術によりコンタクト層24とガードリング25を形成している。融着技術を用いることで化合物半導体、Siともに結晶性が損なわれないため、高品質の素子が得られるとしている。

【0008】

【発明が解決しようとする課題】

しかし、上記構造では信号光を吸収する低キャリア濃度のInGaAs層に直接Si増倍層を高温の融着により接続している。通常、接続部のInGaAs層とSi増倍層の界面には酸化物をはじめとする不純物が多い。このため、接続部付近のInGaAs層にはこれらの不純物が融着の過程で混入することになる。その結果、接続部付近のInGaAs層のキャリア濃度は高くなり、高い電界が印加されることになる。InGaAs層は禁制帯幅が狭いため、高い電界が印加されると暗電流が増加し実用に供するに十分な感度が得られなくなる。実際、InGaAs層に直接Si増倍層を融着した素子では、暗電流がマイクロアンペアを超えており、実用化されている従来のアバランシェホトダイオードに比べて3桁以上も劣る。また、電界が高いとInGaAs層でも雪崩降伏が生じてしまい高速応答性が劣化する等の欠点も生じる。

【0009】

本発明の目的は、化合物半導体とSiとを組み合わせた低暗電流で高感度・高速なアバランシェホトダイオードおよびその製造方法を提供することにある。

【0010】

【課題を解決するための手段】

本発明のアバランシェホトダイオードは、信号光を吸収する化合物半導体（光吸収層と称する）とSi増倍層との接続界面に、少なくとも一層の、光吸収層とは異なる組成もしくは材料で形成され光吸収層よりも大きな禁制帯幅をもつ結晶層（界面層と称する）が形成されている構造をもつ。この界面層には、接続界面の化合物半導体およびSiの表面に存在する酸化物をはじめとする不純物の電気的な影響を相殺する目的でn型またはp型の不純物が意図的に添加されていても良い。

【0011】

【発明の実施の形態】

実施例 1

図 1 は本発明のアバランシェホトダイオードの一構造例である。11はSi基板(n 型, $2 \times 10^{18} \text{cm}^{-3}$), 12はSiの増倍層(n 型, 10^{15}cm^{-3} , $0.2 \mu\text{m}$), 13は InAlAsの界面層(p 型, 10^{18}cm^{-3} , $0.05 \mu\text{m}$), 14はInGaAsの光吸収層(p 型, $2 \times 10^{15} \text{cm}^{-3}$, $1.2 \mu\text{m}$), 15はInAlAsのキャップ層(p 型, $2 \times 10^{18} \text{cm}^{-3}$, $1 \mu\text{m}$), 16はInGaAsのコンタクト層(p 型, $5 \times 10^{19} \text{cm}^{-3}$, $0.1 \mu\text{m}$)である。17は素子の表面を保護するSiN膜である。18は金属電極である。図は面入射型の素子構造の例であり, 光信号は11のSi基板面または, 16のコンタクト層側から入射させる。この際, 光の入射面には, 光信号の入射効率を高くするために無反射コート膜や, 適当な窓構造あるいはレンズ等を設けても良い。

実施例 2

図 3 は, 本発明の別の実施例である。この場合は, 高信頼化のためにプレーナ型の素子構造とした例である。31はガードリング部であり, p 型の不純物をイオン打ち込みまたは拡散により添加している。

実施例 3

図 4 は, 本発明の別の実施例である。この場合は, 基本的な構造は図 1 と同じであるが, 高信頼化のためにガードリングを設けた構造となっている。41はInGaAlAsの界面層(p 型, 10^{18}cm^{-3} , $0.05 \mu\text{m}$)である。ここで, InGaAlAsの組成は, $1.3 \mu\text{m}$ 帯の信号光が吸収されないように, $1.1 \mu\text{m}$ の禁制帯波長(エネルギーに換算すると 1.13eV)を持つように調整されている。42は高抵抗InPで形成されたガードリングである。このガードリングは, キャリア濃度が低ければ p 型または n 型のInPでも良い。

【0012】

この構造の作製法を図 5 を用いて説明する。最初に, 接続させる化合物半導体とSiを以下のように別々に準備する。まず, 図 5 (a)に示すように, n 型のSi基板(51)上にキャリア濃度の低い高抵抗のSi増倍層(52)を適当な結晶成長方法でエピタキシャル成長する。もしくは, 高抵抗のSi基板に n 型の不純物を拡散させて同構造を形成しても良い。あるいは, n 型のSi基板に p 型の不純物を拡散させて, 表面を高抵抗化し同構造を作製しても良い。次に, これを図(b)のように, 台

形（メサ型）状に、ホトリソグラフィとドライエッチングもしくはウェットエッチングによって加工する。寸法は、高周波用途用として適切な容量を持つように設定する必要があるが、本実施例では、10GHz用として、頂部の直径が約 $25\mu\text{m}$ の円錐台状の形状を形成した。続いて、表面保護のためにSiNまたは SiO_2 等の誘電体膜(53)を適当な化学気相堆積法で表面に形成する。 SiO_2 の場合は熱酸化法で形成しても良い。次に、図(c)に示すように、頂部の誘電体膜のみを、ホトリソグラフィとドライエッチングもしくはウェットエッチングによって除去し、Siの表面(54)を露出させる。以上でSi側の準備は完了である。

【0013】

化合物半導体側は次のように準備する。まず、図(d)のように、InP基板(55)上にp型InGaAs(キャリア濃度 $5\text{E}19\text{cm}^{-3}$ 、厚さ $0.1\mu\text{m}$)コンタクト層(56)、p型InGaAlAs(キャリア濃度 $2\text{E}18\text{cm}^{-3}$ 、厚さ $1\mu\text{m}$)キャップ層(57)、p型InGaAs(キャリア濃度 $1\text{E}15\text{cm}^{-3}$ 、厚さ $1\mu\text{m}$)光吸収層(58)、p型InGaAlAs(キャリア濃度 $1\text{E}18\text{cm}^{-3}$ 、厚さ $0.05\mu\text{m}$)界面層(59)を順に分子線エピタキシ法でエピタキシャル成長させる。これらの層はいずれもInP基板に格子整合するように組成が調整され、また、キャリア濃度を制御するため、p型不純物のBeを添加している。

ここで、キャップ層および界面層に用いるInGaAlAsの組成は、その禁制帯幅が $1.1\mu\text{m}$ となるように調整した。これは、信号光である $1.3\mu\text{m}$ 帯の光を吸収しないようにするためである。図6は、InGaAsの吸収係数と光波長との関係であるが、禁制帯波長から $0.1\mu\text{m}$ 程度長波長になると、光をほとんど吸収しなくなることがわかる。したがって、キャップ層および界面層に用いるInGaAlAsの組成は、その禁制帯波長が $1.2\mu\text{m}$ より短波長であれば、 $1.3\mu\text{m}$ 帯の信号光を吸収しなくなるので信号光の無駄な損失を防ぐことができる。すなわち、キャップ層および界面層に用いるInGaAlAsの組成は、その禁制帯波長が $1.2\mu\text{m}$ より短波長であれば良く、 $1.1\mu\text{m}$ に限るものではない。

ただし、このキャップ層および界面層に用いるInGaAlAsの禁制帯波長には短波長側にも限界値が存在し、それはInGaAs光吸収層の禁制帯幅との差から制限を受ける。すなわち、キャップ層および界面層に用いるInGaAlAsの禁制帯幅とInGaAs光吸収層の禁制帯幅の差が大きくなりすぎると、その界面において電子・正孔がその

エネルギー差を乗り越えられなくなって界面に蓄積し高速応答性損なう，いわゆるパイルアップが発生するため，キャップ層および界面層に用いるInGaAlAsの禁制帯幅が大きすぎてはならない。通常，10GHzの応答速度を得るには，キャップ層および界面層に用いるInGaAlAsの禁制帯とInGaAs光吸収層の禁制帯の導電帯または価電子帯のエネルギー差を0.5eV程度にする必要がある。これから算出すると，キャップ層および界面層に用いるInGaAlAsの禁制帯波長の短波長側の限界値はおよそ700nmとなる。

なお，これらのエピタキシャル成長は有機金属気相堆積法あるいは適当な化学気相堆積法で行っても良く，p型の不純物はZn等でも良い。次に，これを図(e)のように台形（メサ型）状に，ホトリソグラフィとドライエッチングもしくはウェットエッチングによって加工する。寸法は図(b)と同様に，頂部の直径が約25 μm の円錐台状の形状を形成した。以上で，化合物半導体側の準備は完了である。

【0014】

次に，上記で準備した図(c)のSi(510)と図(e)の化合物半導体(511)を以下の方法で接続した。図(f)のように，図(c)のSiと図(e)の化合物半導体の頂部が対面するように配置して高周波プラズマ装置に搬入し，槽内に微量のアルゴンガスを導入してアルゴンプラズマで接続させる表面を清浄化する。清浄化後直ちに頂部同士を接触させると，図(c)のSiと図(e)の化合物半導体が接合する。接合は，常温でも充分であるが，加熱しても良い。次に，これを，薄い塩酸系のエッチング液に浸し不要なInP基板を選択的に取り除く。続いて，図(g)のようにホトリソグラフィとドライエッチングもしくはウェットエッチングによって，化合物半導体部分のみ再度台形状に加工する。その後，図(h)のように，ホトリソグラフィとドライエッチングもしくはウェットエッチングによって誘電体マスク(512)を形成した後，有機金属気相堆積法あるいは適当な化学気相堆積法で高抵抗のInP層(513)を選択的に成長する。続いて，図(i)のように，誘電体マスクを取り除いた後に，再度素子全体を保護する目的でプラズマ化学気相堆積法でSiN膜(514)を形成し，ホトリソグラフィを用いて電極接続用の孔を形成する。その後，電極金属(515)を蒸着とホトリソグラフィおよびリフトオフ工程で形成する。最後に無反射コート膜(516)を光入射面となるSi基板面に形成して完成する。

このようにして作製した素子に逆バイアスを印加したところ、降伏電圧(V_b)は35V、降伏電圧の約90%に当たる32Vにおける暗電流は50nAと充分低い値が得られた。高周波特性においても、10GHzの光信号の増倍率は最大25であり、受光領域内で均一であった。さらに高温逆バイアス通電試験(200℃, 100 μ A一定)では、100時間後の電圧変動は1V以下、室温における降伏電圧、暗電流も試験前と変化が無く良好であった。

実施例 4

図7は、本発明の別の実施例である。この場合は、実施例1と同様の断面構造を持つが、素子全体の形状を導波路型の構造に加工した例である。すなわち、実施例1では基板に対して垂直かそれに近い角度で信号光を入射させるのに対して、本例は信号光を基板に対して平行かそれに近い角度で入射させる構造となっており、40GHz以上の高速かつ高感度の素子、あるいは、平面実装に適した素子構造である。

実施例 5

図8は、本発明の別の実施例である。この場合は、実施例1と同様の面入射型の構造であるが、化合物半導体基板をベースにして、Si増倍層を形成した例である。81はInP基板(n型, $2 \times 10^{18} \text{cm}^{-3}$), 82はInGaAsの光吸収層(n型, $2 \times 10^{15} \text{cm}^{-3}$, 1.2 μm), 83はInGaAsPの界面層(n型, $1 \times 10^{18} \text{cm}^{-3}$, 0.05 μm), 84はSiの増倍層(p型, $1 \times 10^{15} \text{cm}^{-3}$, 0.2 μm), 85はSiのコンタクト層(p型, $2 \times 10^{18} \text{cm}^{-3}$, 0.1 μm)である。ここで、InGaAsPの組成は、実施例3と同様の理由で1.3 μm 帯の信号光が吸収されないように、1.1 μm の禁制帯波長を持つように調整されている。

実施例 6

図9は、本発明の別の実施例である。この場合は、単純なSi基板の代わりに、SiまたはSiGeの集積回路が形成された基板上に実施例4と同様のアバランシェホトダイオードを形成した例である。91はSi基板上に形成されたSiまたはSiGeの集積回路で作製されたプリアンプ、92は図7のアバランシェホトダイオードである。ただし、11のSi基板が91の集積回路のSi基板と共通になっている。

実施例 7

図10は、本発明のさらにまた別の実施例である。この場合は、図4のアバラ

ンシェホトダイオード(101)とプリアンプ集積回路素子(102), および光ファイバ(103)を一つのケース(104)に収納した光モジュールの例となっている。

実施例 8

図 11 は, 本発明のさらにまた別の実施例である。この場合は, 図 10 の光モジュール(110)をアナログ・デジタル変換器や復号器の実装されたパッケージ(111)に搭載した光受信器の例となっている。

【0015】

【発明の効果】

本発明の実施例によれば, Si と化合物半導体を融着した界面に存在する不純物の影響で界面の電界強度が異常に高くなっても, 界面の化合物半導体材料の禁制帯幅が大きいので, 暗電流の増加を低減できる。また, 界面不純物の電氣的影響を相殺するために界面層に意図的に不純物を添加することで, 界面での電界異常の発生も抑制できる。その結果, 従来に比べて, はるかに暗電流の低い, 高感度かつ高速の光通信用アバランシェホトダイオードを実現できるため工業上重要である。

【図面の簡単な説明】

【図 1】

本発明の第一の実施例である半導体受光装置の構造図である。

【図 2】

従来の第一の実施例である半導体受光装置の構造図である。

【図 3】

本発明の第二の実施例である半導体受光装置の構造図である。

【図 4】

本発明の第三の実施例である半導体受光装置の構造図である。

【図 5】

本発明の第三の実施例である半導体受光装置の作製工程を説明する図である。

【図 6】

InGaAs の吸収係数の波長依存性を示す図である。

【図 7】

本発明の第四の実施例である半導体受光装置の構造図である。

【図 8】

本発明の第五の実施例である半導体受光装置の構造図である。

【図 9】

本発明の第六の実施例である半導体受光装置の構造図である。

【図 1 0】

本発明の第七の実施例である半導体受光装置の構造図である。

【図 1 1】

本発明の第八の実施例である半導体受光装置の構造図である。

【符号の説明】

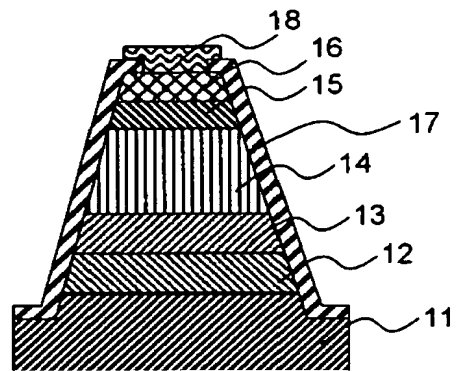
11…Si基板、12 …Si増倍層、13 …InAlAs界面層、14 …InGaAs光吸収層、15 …InAlAsキャップ層、16 …InGaAsコンタクト層、17 …SiN保護膜、21 …化合物半導体基板、22 …InGaAs層、23 …Si増倍層、24 …コンタクト層、25 …ガードリング、41…InGaAlAs界面層、42…高抵抗InP、51…Si基板、52…Si増倍層、53 …誘電体膜、54…Si表面、55…InP基板、56…InGaAsコンタクト層、57…InGaAlAsキャップ層、58…InGaAs光吸収層、59…InGaAlAs界面層、510…Si側材料、511 …化合物半導体側材料、512…誘電体マスク、513…高抵抗InP層、514…SiN膜、515…電極金属、516…無反射コート膜、81…InP基板、82…InGaAs光吸収層、83…InGaAsP界面層、84…Si増倍層、85…Siコンタクト層、91…SiまたはSiGeの集積回路、92…図 7 のアバランシェホトダイオード、101…図 4 のアバランシェホトダイオード、102…プリアンプ集積回路素子、103…光ファイバ、104…ケース、110…図 1 0 の光モジュール、111…パッケージ。

【書類名】

図面

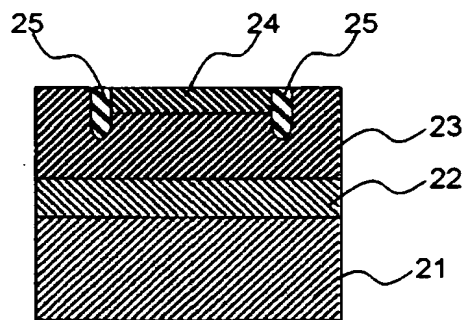
【図 1】

図 1



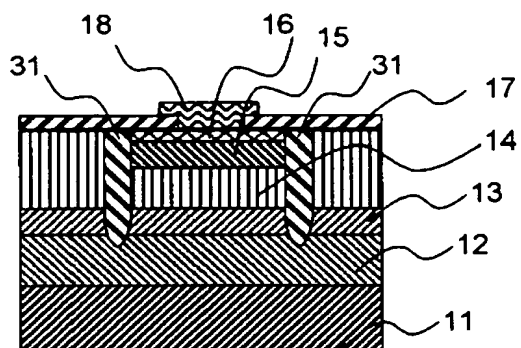
【図 2】

図 2



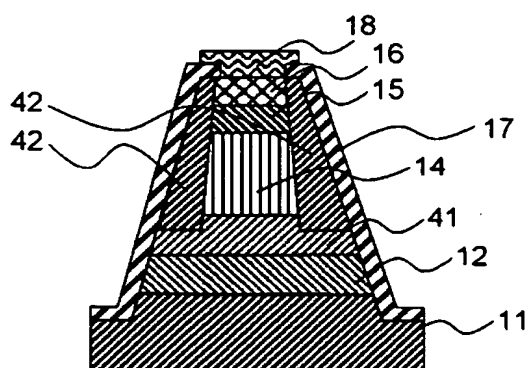
【図 3】

図 3



【図 4】

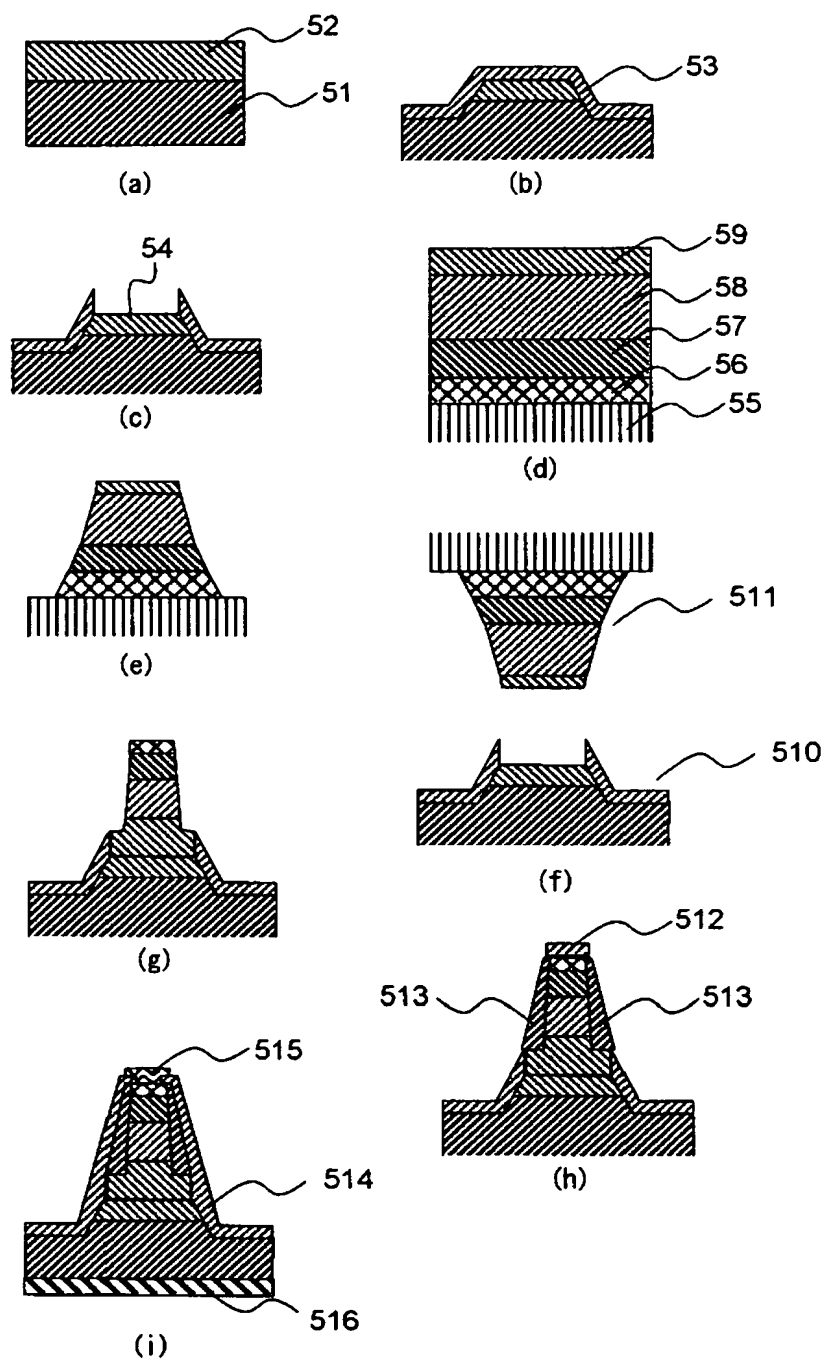
図 4



【図 5】

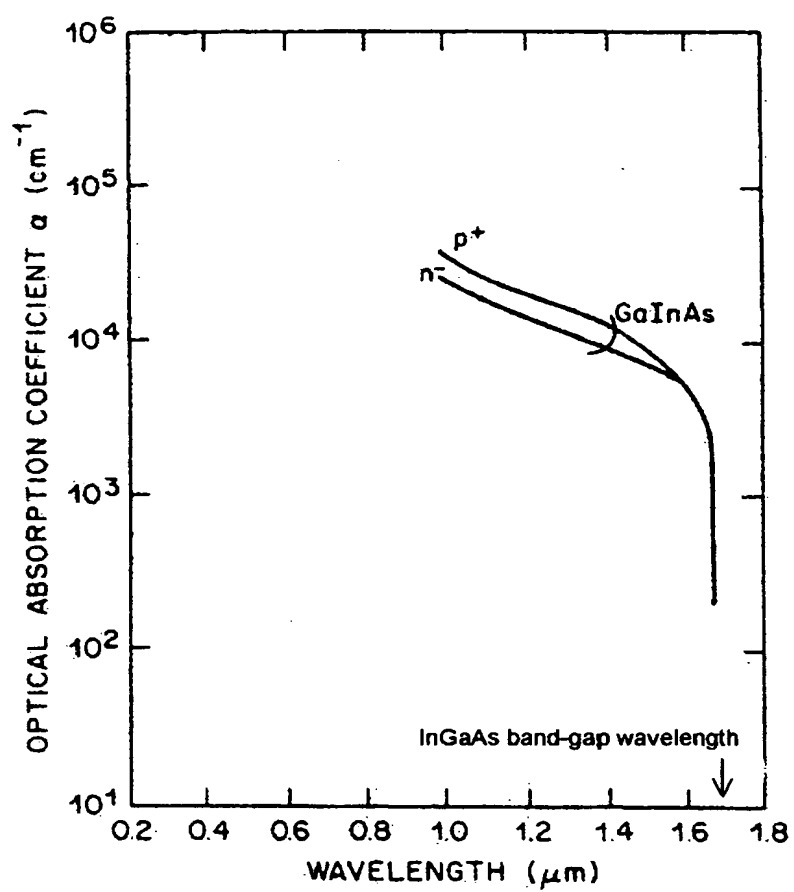
図 5

Fabrication process



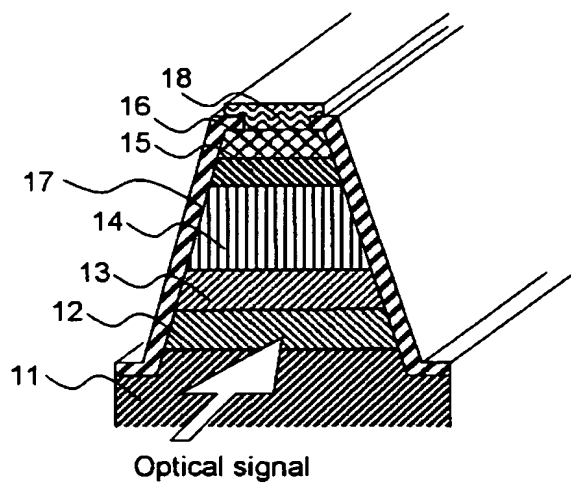
【図 6】

図 6



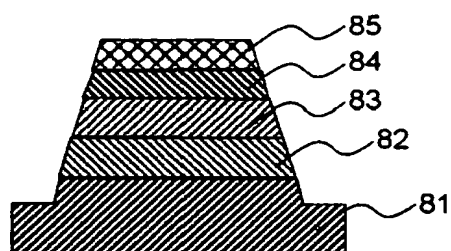
【図 7】

図 7



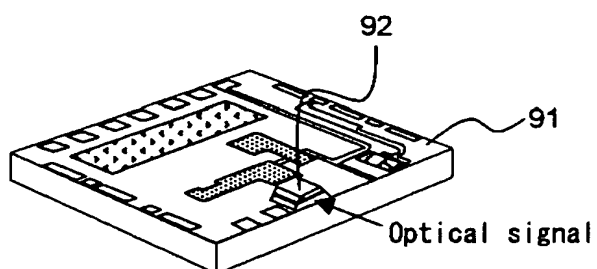
【図 8】

図 8

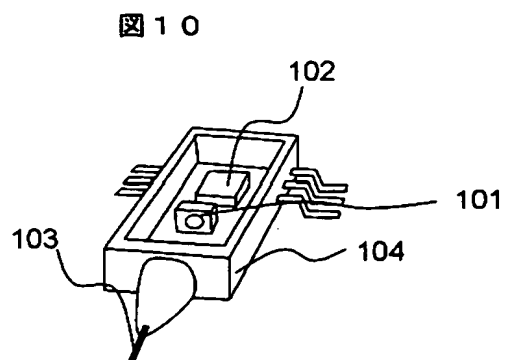


【図 9】

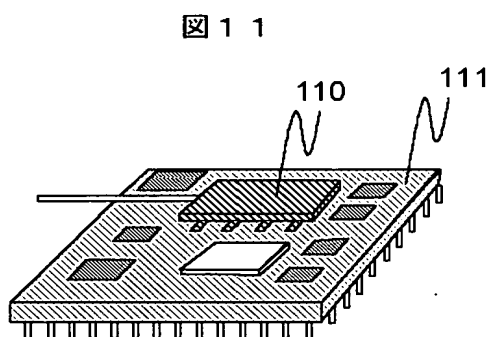
図 9



【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 化合物半導体とSiとを組み合わせた低暗電流で高感度・高速なアバランシェホトダイオードおよびその製造方法を提供することにある。

【解決手段】 信号光を吸収する化合物半導体（光吸収層と称する）とSi増倍層との接続界面に、少なくとも一層の、光吸収層とは異なる組成もしくは材料で形成され光吸収層よりも大きな禁制帯幅をもつ結晶層（界面層と称する）が形成されている構造をもつ。この界面層には、接続界面の化合物半導体およびSiの表面に存在する酸化物をはじめとする不純物の電氣的な影響を相殺する目的で n 型または p 型の不純物が意図的に添加されていても良い。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 1 9 4 0 0 5
受付番号	5 0 3 0 1 1 3 6 2 3 2
書類名	特許願
担当官	第二担当上席 0 0 9 1
作成日	平成 1 5 年 7 月 1 0 日

< 認定情報・付加情報 >

【提出日】 平成 15 年 7 月 9 日

【書類名】 手続補正書
【あて先】 特許庁長官 殿
【事件の表示】
【出願番号】 特願2003-194005
【補正をする者】
【識別番号】 000005108
【氏名又は名称】 株式会社日立製作所
【補正をする者】
【識別番号】 301005371
【氏名又は名称】 日本オプネクスト株式会社
【代理人】
【識別番号】 100075096
【弁理士】
【氏名又は名称】 作田 康夫
【手続補正1】
【補正対象書類名】 特許願
【補正対象項目名】 発明者
【補正方法】 変更
【補正の内容】
【発明者】
【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所
中央研究所内
【氏名】 田中 滋久
【発明者】
【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所
中央研究所内
【氏名】 藤崎 寿美子
【発明者】
【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所
中央研究所内
【氏名】 松岡 康信
【その他】 株式会社日立製作所によって平成15年7月9日付で出願された
特願 2 0 0 3 - 1 9 4 0 0 5 「アバランシェホトダイオード」の
願書の作成に際し、発明者の「田中 滋久」の氏名が誤記されて
いることが判明致しました。つきましては、発明者の氏名「田中
慈久」を「田中 滋久」に訂正致したく、宜しく取り計らい下
さい。なお、他の発明者については、訂正はございません。

認定・付加情報

特許出願の番号	特願 2003-194005
受付番号	50301790339
書類名	手続補正書
担当官	野本 治男 2427
作成日	平成15年11月 5日

<認定情報・付加情報>

【提出日】	平成15年10月29日
【補正をする者】	
【識別番号】	000005108
【住所又は居所】	東京都千代田区神田駿河台四丁目6番地
【氏名又は名称】	株式会社日立製作所
【補正をする者】	
【識別番号】	301005371
【住所又は居所】	神奈川県横浜市戸塚区戸塚町216番地
【氏名又は名称】	日本オペネクト株式会社
【代理人】	申請人
【識別番号】	100075096
【住所又は居所】	東京都千代田区丸の内一丁目5番1号 株式会社 日立製作所 知的財産権本部内
【氏名又は名称】	作田 康夫

特願 2 0 0 3 - 1 9 4 0 0 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所

特願 2 0 0 3 - 1 9 4 0 0 5

出 願 人 履 歴 情 報

識別番号

[3 0 1 0 0 5 3 7 1]

1. 変更年月日

2 0 0 1 年 3 月 1 6 日

[変更理由]

住所変更

住 所

神奈川県横浜市戸塚区戸塚町 2 1 6 番地

氏 名

日本オペネクト株式会社